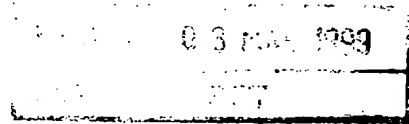


PC/DE 98/03794  
**BUNDESREPUBLIK DEUTSCHLAND**

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

09/582067



DE 38 / 3734

EDV

**Bescheinigung**

Das Institut für Halbleiterphysik Frankfurt (Oder) GmbH  
in Frankfurt, Oder/Deutschland hat eine Patentanmeldung  
unter der Bezeichnung

"Integrierte Schaltung mit verringerten parasitä-  
ren kapazitiven Einflüssen und Verfahren zu ihrer  
Herstellung"

am 8. Oktober 1998 beim Deutschen Patent- und Markenamt  
eingereicht und erklärt, daß sie dafür die Innere Priorität  
der Anmeldung in der Bundesrepublik Deutschland vom  
22. Dezember 1997, Aktenzeichen 197 58 349.0, in Anspruch  
nimmt.

Die angehefteten Stücke sind eine richtige und genaue  
Wiedergabe der ursprünglichen Unterlagen dieser Patent-  
anmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig  
das Symbol H 01 L 21/762 der Internationalen Patentklassifika-  
tion erhalten.

München, den 22. Dezember 1998  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

tenzeichen: 198 47 440.7

Rixner

BEST AVAILABLE COPY

## **Zusammenfassung**

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung. Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die parasitären kapazitiven Einflüsse auf einzelne Elemente der integrierten Schaltung verringert sind. Weiterhin soll bei der Herstellung der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden. Diese Aufgabenstellung wird durch eine partielle, mindestens 5  $\mu\text{m}$  dicke Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst. Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich z. B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40% und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.

(hierzu Fig. 1)

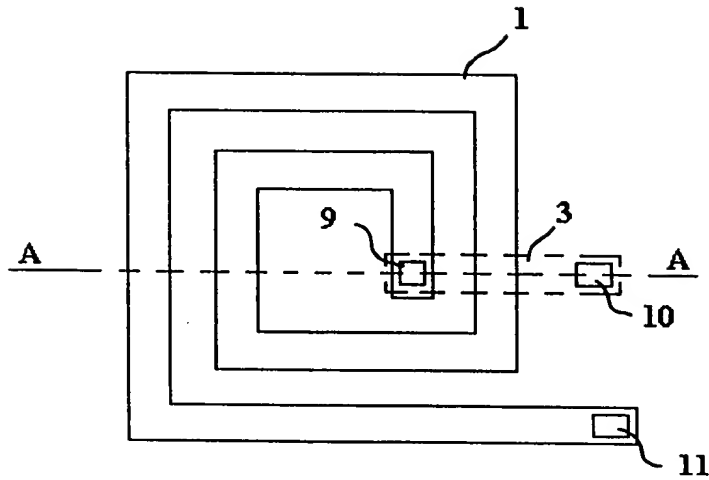


Fig. 1

## **Integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und Verfahren zu ihrer Herstellung**

Die Erfindung bezieht sich auf eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung.

Die Verringerung parasitärer kapazitiver Einflüsse spielt insbesondere in den modernen CMOS-Technologien eine immer größer werdende Rolle. Werden integrierte Schaltungen mit Bipolar-Technologien realisiert, können durch Verwendung hochohmiger oder semiisolierender Substrate die substratbedingten kapazitiven und ohmschen Verluste von Induktivitäten oder anderen passiven Schaltungselementen gering gehalten werden. Es ist jedoch davon auszugehen, daß CMOS-Technologien wegen geringerer Kosten, eines geringen Leistungsverbrauchs und geringerer Abmessungen bevorzugt werden.

Die Integration passiver Elemente wie z. B. von Induktivitäten ist eine dringende Notwendigkeit insbesondere für die Realisierung monolithischer RF Transceiver Schaltkreise auf Silizium-Substraten. Im GHz-Bereich wird zwischen den Blöcken eine Impedanz-Anpassung erforderlich, für die diese passiven Elemente benötigt werden. Erfüllen CMOS-Technologien die Anforderungen zur Herstellung von RF Transceivern für zellulare Systeme oder LAN, bedeutet dies jedoch, daß aufgrund der zumeist verwendeten niederohmigen Si-Substrate (typisch 1 - 10  $\Omega\text{cm}$ ) die gewünschten hohen Güten der Induktivitäten nicht a priori erreicht werden können. Die Optimierung dieser passiven Komponenten bedeutet vor allem

die Maximierung des Gütefaktors ( $Q$ ) durch eine Minimierung der Widerstandsverluste und der kapazitiven Parasitics. Die substratbedingten Verluste können reduziert werden, indem die Spiralbahn der Induktivität möglichst weit vom Silizium-Substrat entfernt wird - z.B. indem bei einem Mehrebenen-Leitbahnsystem die oberste(n) Ebene(n) für die Spirale verwendet wird, so daß sich aufgrund mehrerer Zwischenebenen-Isolierschichten in der Summe eine ausreichend dicke Isolation zwischen Spirale und Substrat ergibt. Da CMOS-Technologien mit Abmessungen  $\leq 0.5 \mu\text{m}$  jedoch i.a. relativ dünne Isolierschichten verwenden, können bei niederohmigen Silizium-Substraten die Verluste ohne zusätzliche Maßnahmen nicht ausreichend gering gehalten werden. Zur Reduzierung der substratbedingten Verluste wurden bisher solche Varianten wie Verwendung von hochohmigen Silizium-Wafern, Verwendung von SOI-Substraten (auf Basis hochohmiger Silizium-Wafer), Verwendung von SOS-Substraten, Entfernung von Silizium unter der Spirale (Luftbrücke), Verwendung von Dielektrika mit geringerer relativer Dielektrizitätskonstante als von Siliziumdioxid, z.B. Polymere, sowie Realisierung der Metallspirale in einer mehrere  $\mu\text{m}$  dicken Metallschicht über einer sehr dicken Isolierschicht, wobei beide Schichten zusätzlich oberhalb des für die Schaltungen benötigten CMOS-Aufbaus zu realisieren sind, vorgeschlagen. Diese Varianten haben den Nachteil, daß die etablierten CMOS-Technologien modifiziert werden müssen bzw. die Halbleitersubstrate teurer sind. Auch sind diese Varianten nicht generell für alle weiteren passiven Elemente einer integrierten Schaltung, wie insbesondere Widerstände, Kapazitäten, Leitbahnen und Bondinseln, die ebenfalls mit parasitären kapazitiven Einflüssen behaftet sind, anwendbar.

Aufgabe der Erfindung ist es, eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung vorzuschlagen, bei denen die

parasitären kapazitiven Einflüsse auf einzelne Elemente der integrierten Schaltung verringert sind. Weiterhin soll bei der Herstellung der technologische Ablauf zur Realisierung des Kontakt- und Leitbahnsystems moderner CMOS-Technologien nicht nachteilig beeinflusst sein und insbesondere keine zusätzlichen Planarisierungsschritte erforderlich werden.

Diese Aufgabenstellung wird durch eine partielle, mindestens 5  $\mu\text{m}$  dicke Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, gelöst.

Die durch parasitäre Einflüsse bedingten Verluste, die vom spezifischen elektrischen Widerstand des verwendeten Siliziumsubstrates abhängig sind, werden stark verringert, so daß sich z. B. die Güte einer integrierten Induktivität in Abhängigkeit von der gewählten Dicke der vergrabenen Isolierschicht um ca. 40% und darüber hinaus gegenüber planaren Induktivitäten auf konventioneller CMOS-Basis erhöhen läßt.

Der wesentliche Vorteil dieser hier vorgeschlagenen lokalen Isolationsvariante besteht in der Realisierung des nur auf den Bereich des späteren Elements der integrierten Schaltung begrenzten dicken, versenkten Oxids. Hierdurch werden im nachfolgenden technologischen Prozeß gravierende Unterschiede in den Strukturhöhen - und damit aufwendige Planarisierungsmaßnahmen - vermieden. Der Prozeß zur Herstellung stark skaliertter CMOS- oder BiCMOS-Strukturen wird somit nicht nachteilig durch die Notwendigkeit, für die Realisierung von z. B. integrierten Induktivitäten mit hoher Güte zusätzliche dicke Isolationsschichten zwischen Spirale und Substrat einzufügen, beeinflusst. Die Herstellung einer erfindungsgemäßen integrierten Schaltung erfolgt durch die Verfahrensschritte

- Maskierung der Oberfläche des Silizium-Wafers,
- Ausbildung von Gräben und Stegen durch anisotrope Ätzung,

- wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
- vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der einzelnen Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei die Schaltungselemente mit verringerten parasitären Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden.

Alternativ läßt sich eine erfindungsgemäße integrierte Schaltung auch durch die Verfahrensschritte

- Maskierung der Oberfläche eines p-Silizium-Wafers,
  - Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
  - Oxidation der porösen Siliziumschicht in Siliziumoxid,
  - CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der einzelnen Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei speziell die Schaltungselemente mit verringerten kapazitiven Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden,
- herstellen.

Die Merkmale der Erfindung gehen außer aus den Ansprüchen auch aus der Beschreibung und den Zeichnungen hervor, wobei die einzelnen Merkmale jeweils für sich allein oder zu mehreren in Form von Unterkombinationen schutzfähige Ausführungen darstellen, für die hier Schutz beansprucht wird. Ausführungsbeispiele der Erfindung werden im folgenden näher erläutert.

Die Figuren zeigen:

Fig. 1 schematischer Aufbau einer Induktivität in Draufsicht

Fig. 2 schematischer Schnitt einer Induktivität

Beispiel 1:

Fig. 1 zeigt den schematischen Aufbau einer Induktivität als Teil einer erfindungsgemäßen integrierten Schaltung in Draufsicht, in Fig. 2 wird eine Schnittdarstellung der Induktivität gezeigt. Die integrierte Induktivität besteht aus einer oberen Metallebene 1 zur Realisierung einer Spirale, einer Isolationsschicht 2, einer unteren Metallebene 3 zur Kontaktherstellung des inneren Anschlusses 10, einer Isolationsschicht 4, einer Feldoxidschicht 5, einer Kanalstopperschicht 6, einer vergrabenen, dicken lokalen Isolationsschicht 7 sowie dem Halbleitersubstrat 8. Die Feldoxidschicht 5 sowie die Kanalstopperschicht 6 befinden sich nur außerhalb des Gebiets der integrierten Induktivität. Die vergrabene, dicke lokale Isolationsschicht 7 ist nur im Bereich der Induktivität unterhalb der Metallschichten 1, 3 angeordnet.

Zur Herstellung der Induktivität werden in einen Silizium-Wafer mit Hilfe einer Ätzmaske im Bereich der im nachfolgenden Prozeß zu realisierenden integrierten Induktivität mit einem



anisotropen Ätzverfahren Gräben von ca. 10  $\mu\text{m}$  Tiefe derart geätzt, daß im Wechsel Gräben und Stege entstehen. Die Breite der Stege und Gräben wird so gewählt, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels eines thermischen Oxidationsprozesses die Gräben bis auf eine Restbreite von ca. 100 nm bis 300 nm geschlossen werden. Aufgrund des Volumenzuwachses ergeben z. B. Stege von 0,8  $\mu\text{m}$  Breite und Gräben von 1,2  $\mu\text{m}$  Breite nach vollständiger Oxidation der Stege Restgräben von ca. 150 nm bis 200 nm Breite. Gegebenenfalls kann eine Feinoptimierung des Verhältnisses der Breiten der Stege und der Gräben durch eine vorgelagerte Opferoxidation, d. h. eine teilweise Anoxidation der Stege mit nachfolgender Oxidentfernung durchgeführt werden. Die nach vollständiger Oxidation verbleibenden Restgräben werden mittels einer abschließenden Abscheidung von Siliziumdioxid, z. B. durch CVD-Prozeß, zumindest oberflächennah vollständig geschlossen. Durch diesen Ablauf entsteht eine versenkte Isolationsschicht 7, deren Dicke durch die Tiefe der geätzten Gräben definiert ist. Nach Entfernung der CVD-Oxidschicht von der Oberfläche und der Ätzmaske für das Grabenätzen schließt sich der jeweils verwendete CMOS-Prozeß an. Alternativ kann die Ätzmaske bereits vor der Oxidation der Stege ganz oder teilweise entfernt werden. Die integrierte Induktivität wird unter Verwendung des in diesem CMOS-Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der vergrabenen, dicken Isolationsschicht 7 realisiert.

#### Beispiel 2:

In Abwandlung des Verfahrens nach dem ersten Ausführungsbeispiel wird eine integrierte Induktivität durch folgende Verfahrensschritte hergestellt: Ein p-Silizium-Wafer wird auf der Oberfläche maskiert, und es erfolgt anschließend eine Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium bis zu einer Dicke der porösen Siliziumschicht

zwischen 6  $\mu\text{m}$  und 20  $\mu\text{m}$  mittels anodischer Reaktion in Flußsäure. Die gewünschte Dicke der porösen Siliziumschicht wird über das Stromstärke-Zeit-Produkt eingestellt. Die Stromdichte liegt dabei zwischen 10  $\text{mA} \cdot \text{cm}^{-2}$  und 100  $\text{mA} \cdot \text{cm}^{-2}$ , vorzugsweise zwischen 40  $\text{mA} \cdot \text{cm}^{-2}$  und 50  $\text{mA} \cdot \text{cm}^{-2}$ . Die Porösität wird maßgeblich durch die Konzentration der Flußsäure bestimmt. In diesem Ausführungsbeispiel liegt die Konzentration der Flußsäure, bezogen auf die Masseanteile, zwischen 40% und 50%. Die poröse Siliziumschicht wird nachfolgend oxidiert. In Abhängigkeit von den Dickenverhältnissen zwischen der zu oxidierenden porösen Siliziumschicht und der anschließend herzustellenden Feldoxidschicht 5 liegt es im Bereich der Erfindung, diese Oxidation mit der Realisierung der Feldoxidationsschicht 5 zu kombinieren. Durch geeignete Wahl der Anodisationsbedingungen ist eine optimale Porösität des Silizium von ca. 56% anzustreben, damit die bei der Umwandlung des Siliziums in Siliziumdioxid auftretende Volumenänderung berücksichtigt wird, um die resultierenden Verspannungen zu minimieren. Die weiteren Verfahrensschritte bis zur fertigen Herstellung der integrierten Induktivität erfolgen analog zum ersten Ausführungsbeispiel.

In der vorliegenden Erfindung wurde anhand konkreter Ausführungsbeispiele eine integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen und ein Verfahren zu ihrer Herstellung erläutert. Es sei aber vermerkt, daß die vorliegende Erfindung nicht auf die Einzelheiten der Beschreibung in den Ausführungsbeispielen eingeschränkt ist, da im Rahmen der Patentansprüche Änderungen und Abwandlungen beansprucht werden. Neben der Anwendung zur Herstellung einer integrierten Induktivität eignet sich die Verwendung einer Isolierschicht, die auf den Bereich der Elemente der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat versenkt ist, nicht nur für integrierte Induktivitäten, sondern auch für

andere Elemente der integrierten Schaltung, insbesondere weitere passive Bauelemente wie Widerstände und Kapazitäten, aber auch für Leiterbahnen und Bondinseln.

## **Patentansprüche**

1. Integrierte Schaltung mit verringerten parasitären kapazitiven Einflüssen, **gekennzeichnet durch** eine partielle, mindestens 5 µm dicke Isolationsschicht (7), die auf spezielle Bereiche der integrierten Schaltung lokal begrenzt und im Halbleitersubstrat (8) versenkt ist.
2. Integrierte Schaltung nach Anspruch 1, **gekennzeichnet durch** eine partielle, mindestens 5 µm dicke Isolationsschicht (7), die auf den Bereich einer oder mehrerer integrierter Induktivitäten, einer oder mehrerer integrierter Widerstände, einer oder mehrerer integrierter Kapazitäten, einer oder mehrerer integrierter Bondinseln und/oder einer oder mehrerer Leiterbahnen lokal begrenzt und im Halbleitersubstrat (8) versenkt ist.
3. Integrierte Schaltung nach Anspruch 2, **dadurch gekennzeichnet**, daß die integrierte Induktivität aus zumindest einer oberen Metallebene (1) zur Realisierung einer Spirale, einer Isolationsschicht (2), einer unteren Metallebene (3) zur Kontaktherstellung des inneren Anschlusses (10), einer Isolationsschicht (4), einer Feldoxidschicht (5), einer Kanalstopperschicht (6), einer vergrabenen, mindestens 5 µm dicken, lokalen Isolationsschicht (7) sowie dem Halbleitersubstrat (8) besteht.

4. Verfahren zur Herstellung einer integrierten Schaltung mit lokaler vergrabener Isolation, **gekennzeichnet durch die Verfahrensschritte**

- Maskierung der Oberfläche eines Silizium-Wafers,
- Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
- wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
- vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei die Schaltungselemente mit verringerten parasitären Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden.

5. Verfahren nach Anspruch 4, **gekennzeichnet durch die Verfahrensschritte**

- Maskierung der Oberfläche eines Silizium-Wafers,
- Ausbildung von Gräben und Stegen durch anisotrope Ätzung,
- wahlweise Durchführung einer Opferoxidation, d. h. einer teilweisen Anoxidation der Stege mit nachfolgender Oxidentfernung zur Optimierung des Verhältnisses zwischen den Breiten der Stege und Gräben,
- vollständige Oxidation der Stege zu Siliziumoxid und zumindest oberflächennahes Auffüllen der Gräben durch Abscheidung von Siliziumoxid,

- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung einer Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.
6. Verfahren nach Anspruch 4 oder 5, **dadurch gekennzeichnet**, daß Gräben von mindestens 5  $\mu\text{m}$  Tiefe derart geätzt werden, daß die Breite der Stege und Gräben so gewählt wird, daß bei einer nachfolgenden vollständigen Umwandlung der Stege in Siliziumdioxid mittels Oxidation die Gräben bis auf eine Restbreite von ca. 100 nm bis 300 nm geschlossen werden.
  7. Verfahren nach einem oder mehreren der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß Gräben von mindestens 5  $\mu\text{m}$  Tiefe derart geätzt werden, daß Stege von ca. 0,8  $\mu\text{m}$  Breite und Gräben von ca 1,2  $\mu\text{m}$  Breite entstehen.
  8. Verfahren nach einem oder mehreren der Ansprüche 4 bis 6, **dadurch gekennzeichnet**, daß Gräben von mindestens 5  $\mu\text{m}$  Tiefe derart geätzt werden, daß Stege von ca. 0,8  $\mu\text{m}$  Breite und Gräben von ca 1,2  $\mu\text{m}$  Breite mittels eines zusätzlichen Opferoxidationsschrittes nachträglich erzeugt werden.
  9. Verfahren zur Herstellung einer integrierten Schaltung, **gekennzeichnet durch die** Verfahrensschritte
    - Maskierung der Oberfläche eines p-Silizium-Wafers,
    - Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
    - Oxidation der porösen Siliziumschicht in Siliziumoxid,

- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung der Elemente der integrierten Schaltung unter Nutzung der im jeweiligen Prozeß vorhandenen Teilschritte zur Erzeugung der Elemente der integrierten Schaltung, wobei speziell die Schaltungselemente mit verringerten parasitären Einflüssen oberhalb der Region des vergrabenen dicken Oxids erzeugt werden.

10. Verfahren nach Anspruch 9, **gekennzeichnet durch** die Verfahrensschritte

- Maskierung der Oberfläche eines p-Silizium-Wafers,
- Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium,
- Oxidation der porösen Siliziumschicht in Siliziumoxid,
- CMOS-Prozeß oder CMOS-kompatibler Siliziumprozeß mit Herstellung einer Induktivität unter Nutzung des im jeweiligen Prozeß vorhandenen Kontakt- und Leitbahnsystems oberhalb der Region des vergrabenen dicken Oxids.

11. Verfahren nach Anspruch 9 oder 10, **dadurch gekennzeichnet**, daß die Umwandlung der nicht maskierten Bereiche des p-Siliziums in poröses Silizium bis zu einer Dicke der porösen Siliziumschicht zwischen 5  $\mu\text{m}$  und 20  $\mu\text{m}$  erfolgt.

12. Verfahren nach einem oder mehreren der Ansprüche 9 bis 11, **dadurch gekennzeichnet**, daß die Umwandlung mittels anodischer Reaktion in Flußsäure erfolgt.

13. Verfahren nach einem oder mehreren der Ansprüche 9 bis 12, **dadurch gekennzeichnet**, daß die gewünschte Dicke der porösen Siliziumschicht über das Stomstärke-Zeit-Produkt eingestellt wird.

14. Verfahren nach einem oder mehreren der Ansprüche 9 bis 13, **dadurch gekennzeichnet**, daß die Stromdichte bei der Umwandlung zwischen  $10 \text{ mA} \cdot \text{cm}^{-2}$  und  $100 \text{ mA} \cdot \text{cm}^{-2}$ , vorzugsweise zwischen  $40 \text{ mA} \cdot \text{cm}^{-2}$  und  $50 \text{ mA} \cdot \text{cm}^{-2}$  liegt.
15. Verfahren nach einem oder mehreren der Ansprüche 9 bis 14, **dadurch gekennzeichnet**, daß die Konzentration der Flußsäure bezogen auf die Masseanteile zwischen 40% und 50% liegt.
16. Verfahren nach einem oder mehreren der Ansprüche 9 bis 15, **dadurch gekennzeichnet**, daß nach der Umwandlung die Porösität des Silizium ca. 56% beträgt.



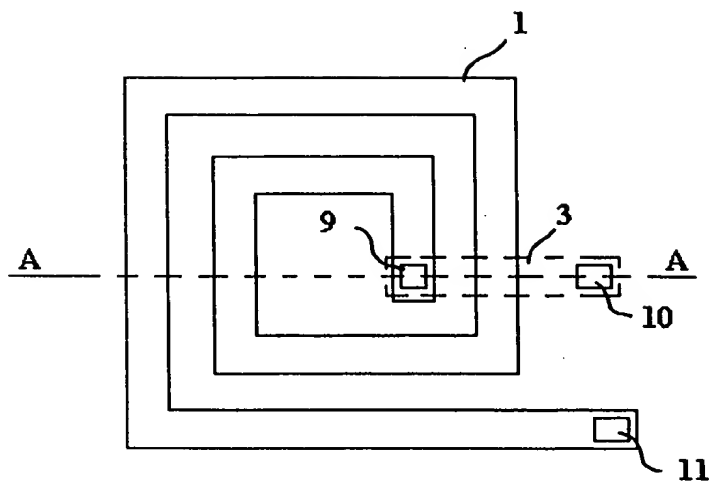


Fig. 1

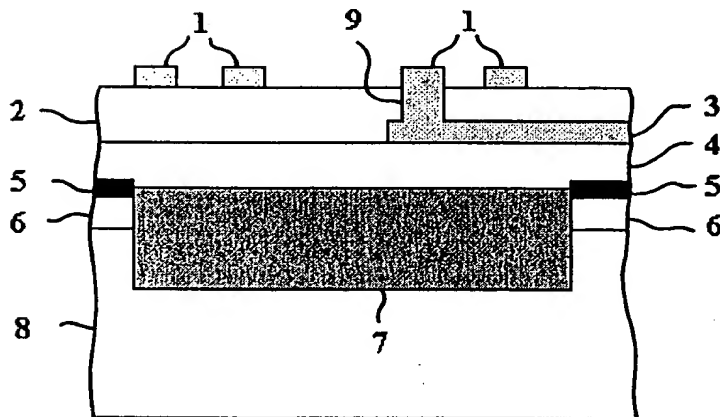


Fig. 2

**THIS PAGE BLANK (USPTO)**

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**